



IFW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Kowalski, et al. Docket No.: INF-125
Serial No.: 10/748,332 Art Unit: 2811
Filed: December 31, 2003 Examiner: TBD
For: Device Architecture and Process for Improved Vertical Memory Arrays

Certificate of Mailing via First Class Mail (37 C.F.R. § 1.8(a))

Date of Deposit: July 29, 2004

I hereby certify that the below listed correspondence is being deposited with the United States Postal Service on the date indicated above as first class mail in an envelope addressed to: Commissioner for Patents, P. O. Box 1450, Alexandria, VA 22313-1450.

Certificate of Mailing via First Class Mail (1 page)
Transmittal of Certified Copy of Priority Document (1 page)
Certified Copy of DE 102 61 457.1
Return Postcard

Respectfully submitted,

Natalie Swider
Legal Assistant

Slater & Matsil, L.L.P.
17950 Preston Rd., Suite 1000
Dallas, TX 75252
Tel: 972-732-1001
Fax: 972-732-9218



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Kowalski, et al. Docket No.: INF-125
Serial No.: 10/748,332 Art Unit: 2811
Filed: December 31, 2003 Examiner: TBD
For: Device Architecture and Process for Improved Vertical Memory Arrays

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Transmittal of Certified Copy of Priority Document

Dear Sir:

Attached please find a certified copy of the foreign application from which priority is claimed for this case:

Country: Germany
Application Number: 102 61 457.1
Filing Date: December 31, 2002

Respectfully submitted,

Ira S. Matsil
Reg. No. 35,272
Attorney for Applicants

Slater & Matsil, L.L.P.
17950 Preston Rd., Suite 1000
Dallas, TX 75252
Tel: 972-732-1001
Fax: 972-732-9218

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 61 457.1

Anmeldetag: 31. Dezember 2002

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Bezeichnung: Integrierte Schaltungsanordnung

IPC: H 01 L, G 11 C

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 16. Januar 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

BEST AVAILABLE COPY

CERTIFIED COPY OF
PRIORITY DOCUMENT

MÜLLER • HOFFMANN & PARTNER – PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17
D-81667 München

Anwaltsakte: 12222

Ko/Ant/mk

Anmelderzeichen: 2002P08671
(2002 E 08663 DE)

31.12.2002

Infineon Technologies AG

St.-Martin-Straße 53
81669 München

Integrierte Schaltungsanordnung

Beschreibung

Integrierte Schaltungsanordnung

5 Die Erfindung betrifft eine integrierte Schaltungsanordnung mit einem Transistorarray aus vertikalen FET-Auswahltransistoren, die in die Tiefe eines Substrats hinein in Form in Lateralrichtung der Schaltungsanordnung parallel laufender, als vertikale Gräben implementierter aktiver Stege gebildet sind, wobei für ein dem Transistorarray zugeordnetes
10 Array aus Halbleiterspeicherzellen Wortleitungen entlang den Stegen und diese schneidende parallele Bitleitungen angeordnet sind.

15 Eine integrierte Schaltungsanordnung mit den oben genannten Merkmalen ist aus US 5 519 236 bekannt.

Die andauernde Tendenz, Halbleiterspeicheranordnungen, wie DRAMs immer weiter zu verkleinern, hat dazu geführt, dass man
20 die Speicherkondensatoren der Speicherzellen und die zugehörigen Transistoren als vertikale Elemente in die Tiefe des Halbleitersubstrats hineinbaut. Auf diese Weise tragen die vertikalen FET-Transistoren, die zugeordnet zu dem Array der Speicherzellen als Transistorarray implementiert sind, dazu
25 bei, dass Halbleiterspeicheranordnungen mit einer Geometrie der Speicherzelle von annähernd $F = 70 \text{ nm}$ und kleiner realisiert und gleichzeitig die Leistungsfähigkeit der Auswahltransistoren beibehalten werden konnten. Dazu wurden in einem entsprechenden Prozess mit Silizium ausgefüllte parallel
30 laufende aktive Stege gebildet, in denen Bulk-, Source- und Drainelektroden der FET-Auswahltransistoren liegen. Stirnseitig werden diese Stege jeweils durch in tiefen Gräben gebildete Speicherkondensatoren begrenzt. An den Seiten jedes aktiven Stegs befinden sich eine Gateelektrode jedes Auswahltransistors bildende Gatestreifen, gebildet durch einen ver-
35 tikal geätzten Spacer, die ihrerseits als Wortleitung für die

zugehörigen Halbleiterspeicherzellen dienen. Gatekontakte, die so genannten CS-Kontakte (CS: Kontakt zur Source) stellen den Kontakt zur Wortleitung her. Weiterhin laufen die Bitleitungen parallel zueinander und schneiden die Wortleitungen und die sie tragenden aktiven Stege im Wesentlichen senkrecht.

Bei der Waferherstellung konventioneller Transistorarrays war es bislang schon üblich, im Wafer eine Diagnoseteststruktur zu integrieren, die zur Überprüfung der Zuverlässigkeit der Auswahltransistoren, zur Erfassung der Fehlerdichte und zur Kapazitätsmessung zwischen Wortleitungen relativ zu anderen Schichten sowie zur Kapazitätsmessung zwischen Bitleitungen und relativ zu anderen Schichten verwendet wurde.

Da Struktur und Prozess zur Bildung des Arrays aus den vertikalen FET-Auswahltransistoren neuartig sind, bedarf es somit auch einer angepassten und neuartigen Arrayprozessdiagnose-Teststruktur.

Es ist somit Aufgabe der Erfindung bei einer gattungsgemäßen integrierten Schaltungsanordnung eine Arrayprozessdiagnose-Teststruktur anzugeben, die Zugang zu den FET-Auswahltransistoren ermöglicht und eine Überprüfung und Diagnose der Zuverlässigkeit, insbesondere der Zuverlässigkeit des Gateoxids und des Dielektrikums der in den tiefen Gräben gebildeten Speicherkondensatoren, und damit auch eine Aussage über die prinzipielle Durchführbarkeit des zugrunde liegenden neuen Prozesses in Form einer Ermittlung der Fehlerdichte, eine Kapazitätsmessung zwischen den Wortleitungen und zwischen den Wortleitung zu anderen Schichten der integrierten Schaltungsanordnung sowie eine Kapazitätsmessung zwischen den Bitleitungen und zwischen letzteren relativ zu anderen Schichten der integrierten Schaltungsanordnung gestattet.

Die obige Aufgabe wird anspruchsgemäß gelöst.

Dabei ist zu berücksichtigen, dass die Wortleitungen nur seitlich von den gradlinigen aktiven Stegen existieren und keine komplexen Formen, wie U oder L bilden können, weil die genannten komplexen Formen für die Stege nicht möglich sind.

5

Gemäß einem wesentlichen Aspekt weist eine erfindungsgemäße integrierte Schaltungsanordnung eine Arrayprozessdiagnose-Teststruktur auf, die zur Kapazitätsmessung, Defekterfassung und für Zuverlässigkeitsuntersuchungen am Gateoxid der vertikalen FET-Auswahltransistoren und am Kondensatordielektrikum der in den tiefen Gräben liegenden Speicherkondensatoren in dem Wafer der integrierten Schaltungsanordnung integriert ist und die einen ersten und zweiten Wortleitungskamm hat, die zur abwechselnden Parallelverbindung jeweils unterschiedlicher Wortleitungen miteinander in Lateralrichtung an zwei äußeren Seiten des Transistorarrays einander gegenüberliegend und gegeneinander seitlich versetzt so angeordnet sind, dass sie von den beiden Seiten her jeweils jede n-te Wortleitung verbinden. Die jeweils entgegengesetzten Enden der Wortleitungen sind nicht verbunden. An den in Form der Wortleitungskämme jeweils zusammengekoppelten anderen Enden der Wortleitungen sind diese über Wortleitungskontakte, die mit dem dieser Wortleitung zugeordneten aktiven Steg verbunden, jedoch gegenüber den anderen Elementen der integrierten Schaltungsanordnung isoliert sind, jeweils mit einem darüber liegenden Leiterabschnitt einer Metallebene verbunden. Ferner verbindet ein erster und zweiter Bitleitungskamm jeweils unterschiedliche Bitleitungen abwechselnd miteinander und zwar in Lateralrichtung von den zwei anderen äußeren Seiten des Transistorarrays her. Die Bitleitungskämme sind seitlich gegeneinander versetzt so angeordnet, dass sie jeweils jede m-te Bitleitung durch einen Leiterabschnitt einer Metallebene parallel miteinander verbinden.

35

In der ersten grundlegenden Ausführungsform der Arrayprozessdiagnose-Teststruktur sind nur die Wortleitungskämme und die

Bitleitungskämme gebildet. Bei dieser Ausführungsform kann jeder Wortleitungskamm von den gegenüberliegenden Außenseiten des Transistorarrays jede übernächste Wortleitung miteinander parallel verbinden, so dass n gleich 2 ist und der gegenseitige Versatz der Wortleitungskämme eine Wortleitung beträgt. Ferner können bei dieser grundlegenden Ausführungsform die Bitleitungskämme von den beiden anderen Außenseiten des Transistorarrays jede übernächste Bitleitung miteinander parallel verbinden, so dass m gleich 2 ist und der gegenseitige Versatz der Bitleitungskämme eine Bitleitung beträgt.

Bei einer weiterentwickelten Ausführungsform der erfindungsgemäßen integrierten Schaltungsanordnung weist die Arrayprozessdiagnose-Teststruktur zusätzlich innerhalb der beiden Wortleitungskämme einen Wortleitungsmäander auf, der seriell alle Wortleitungen miteinander verbindet, die von den beiden Wortleitungskämmen nicht verbunden sind, und zwar getrennt von den Wortleitungen, die die beiden Wortleitungskämme miteinander verbinden. Bei der letztgenannten Ausführungsform ist bevorzugt n gleich 4 (eventuell auch 5) und der gegenseitige Versatz der Wortleitungskämme beträgt zwei Wortleitungen, so dass der erste Wortleitungskamm die erste, fünfte, neunte, dreizehnte, ... usw. Wortleitung und der zweite Wortleitungskamm die dritte, siebte, elfte, ... usw. Wortleitung miteinander verbindet. Dabei sind jeweils zwei benachbarte Wortleitungen dieses Wortleitungsmäanders abwechselnd an ihren gegenüberliegenden Enden, wie auch schon die Wortleitungskämme durch Wortleitungskontakte, die mit dem der jeweiligen Wortleitung zugeordneten aktiven Steg verbunden, jedoch gegenüber den anderen Elementen der integrierten Schaltungsanordnung isoliert sind und durch jeweils zwischen den zwei Wortleitungskontakten liegende U-förmige Abschnitte einer Metallebene miteinander verbunden. Diese Metallebene ist bevorzugt die Metallebene M0. Somit beruht diese neuartige Arrayprozessdiagnose-Teststruktur auf der Herstellung einer leitenden Verbindungsstruktur von einer Wortleitung über

einen Wortleitungskontakt, die Metallebene MO, einen zweiten Wortleitungskontakt wieder zu einer Wortleitung.

Bei einer weiteren vorteilhaften Ausführungsform ist zusätzlich zu den Bitleitungskämmen ein innerhalb derselben verlaufender Bitleitungsmäander vorgesehen, der alle durch die Bitleitungskämme nicht verbundenen dazwischen liegenden Bitleitungen miteinander in Reihe verbindet und zwar getrennt von den Bitleitungen, die durch die Bitleitungskämme verbunden sind. Dabei kann m gleich 4 sein, und der gegenseitige Versatz der Bitleitungskämme beträgt zwei Bitleitungen, wobei der erste Bitleitungskamm die erste, fünfte, neunte, dreizehnte ... usw. Bitleitung, und der zweite Bitleitungskamm die dritte, siebte, elfte, ... usw. Bitleitung miteinander verbindet und der Bitleitungsmäander die zweite, vierte, sechste, achte ... usw. Bitleitung miteinander in Reihe verbindet.

Zur Kontaktierung gewünschter in den tiefen Gräben liegender Speicherkondensatoren mit dem jeweils zugehörigen vertikalen FET-Transistor und in zweiter Linie mit einer jeweiligen Bitleitung dient ein vergrabener Drainkontaktstreifen, der dort gebildet ist, wo sich die Layoutbereiche des tiefen Grabens und des aktiven Stegs überschneiden. Die einfachste und beste Lösung zur Bildung des vergrabenen Drainkontaktstreifens ist eine Linienmaske senkrecht zu den Wortleitungen. Der vergrabene Drainkontaktstreifen dient am jeweiligen Ort der durch die Wortleitungs- und Bitleitungskämme sowie -mäander zu kontaktierenden Halbleiterspeicherzellen als Maske zur Erzeugung eines den Kontakt zu dem aktiven Steg herstellenden Transistors. Dieser Drainkontaktstreifen plus der aktive Steg plus die Sourceelektrode des vertikalen Transistors oben auf dem aktiven Steg plus die Wortleitung als Gate bilden somit diesen Transistor, der geöffnet werden muss, um die Zuverlässigkeit der vertikalen Transistoren des

Transistorarrays sowie das Dielektrikum der Speicherkapazität testen zu können.

- 5 Mit den oben beschriebenen Merkmalen der integrierten Schaltungsanordnung wird eine Arrayprozessdiagnose-Überwachungs- und Wortleitungs-/Bitleitungskapazitätsmessstruktur für ein
10 einem Halbleiterspeicherzellenarray zugeordnetes Transistorarray aus vertikalen FET-Auswahltransistoren erreicht, die insbesondere eine Überwachung und einen Test der Zuverlässigkeit, des Gateoxids der vertikalen FETs und der Zuverlässigkeit des Dielektrikums der Speicherkondensatoren in den tiefen Gängen ermöglicht, die damit die grundsätzliche Eignung des zugrunde liegenden neuen Prozesses durch Erfassung einer Fehlerdichte aufzeigen kann und außerdem die Kapazitäten
15 zwischen den Wortleitungen und relativ zu anderen Schichten der integrierten Schaltungsanordnung sowie Kapazitäten zwischen den Bitleitungen und relativ zu anderen Schichten der integrierten Schaltungsanordnung messen kann.
- 20 Die obigen und weitere vorteilhafte Merkmale der erfindungsgemäßen integrierten Schaltungsanordnung werden in der nachstehenden Beschreibung, die Bezug auf die beiliegende Zeichnung nimmt, näher erläutert.

- 25 Die Zeichnungsfiguren zeigen im Einzelnen:

- Fig. 1 schematisch einen Querschnitt durch einen Abschnitt einer vertikalen Transistorstruktur eines bekannten Transistorarrays in die Tiefe des Substrats hinein;
30
- Fig. 2 eine Aufsicht der in Fig. 1 gezeigten vertikalen Transistorstruktur;
- 35 Fig. 3 schematisch eine Aufsicht einer ersten erfindungsgemäßen Ausführungsform einer integrierten

Schaltungsanordnung zur Veranschaulichung wesentlicher Elemente einer darin integrierten Arrayprozessdiagnose-Teststruktur;

5 Fig. 4 schematisch eine Aufsicht einer zweiten Ausführungsform einer erfindungsgemäßen integrierten Schaltungsanordnung zur Veranschaulichung wesentlicher Elemente einer weiterentwickelten Arrayprozessdiagnose-Teststruktur und

10 Fig. 5 eine vergrößerte Aufsicht, die Details eines mit A bezeichneten kleineren Bereichs gemäß den Fig. 3 und 4 darstellt.

15 Bevor nachstehend bevorzugte Ausführungsformen der integrierten Schaltungsanordnung und der darin integrierten Arrayprozessdiagnoseteststruktur beschrieben werden, wird nun anhand der Fig. 1 und 2 ein bekanntes Konzept eines aus US 5 519 236 bekannten Transistorarrays mit vertikalen FET-Auswahltransistoren beschrieben.

Fig. 1 zeigt schematisch einen Querschnitt der bekannten FET-Transistorstruktur durch einen die aktiven Halbleiterbereiche bildenden aktiven Steg, wobei zwei benachbarte vertikale FET-Transistoren ersichtlich sind. In Fig. 1 ist deutlich zu erkennen, dass in einem tief in ein Substrat 10 hinein reichenden Graben ein Speicherkondensator gebildet ist, der durch eine Kondensatorelektrode 6 und ein isolierendes Dielektrikum 9 veranschaulicht ist. Die Kondensatorelektrode 6 dieses Speicherkondensators steht über einen leitenden Abschnitt 7 mit der Drainelektrode 3 des zugeordneten vertikalen FET-Transistors in Kontakt. Fig. 1 zeigt ferner Isolierschichten 8, 8a, 8b jeweils zwischen stirnseitigen Abschnitten 5a von umlaufenden Gateelektrodenstreifen 5 (vgl. Fig. 2) und einem Kanal bildenden p-Bereich 2 und der Drainelektrode 3 einerseits und zu dem leitenden Kondensatorelektrodenab-

schnitt 6 andererseits. Oberhalb des den Kanal bildenden p-Bereichs 2 weist der aktive Steg einen Sourcebereich 1 auf.

Es ist zu erwähnen, dass Fig. 1 einen Schnitt A-A zeigt, dessen Schnittebene A-A in Fig. 2 angedeutet ist. Fig. 2 zeigt eine Aufsicht der in Fig. 1 gezeigten Struktur und macht die parallele Anordnung der aktiven Stege, die nach oben hin durch die Sourcebereiche 1 veranschaulicht sind, sowie die versetzte Anordnung der vertikalen FET-Auswahltransistoren in den aktiven parallelen Stegen 1 einerseits und andererseits die ebenfalls versetzte Lage der zwischen jedem vertikalen FET-Transistor gebildeten Speicherkondensatoren 6,9 deutlich, die durch die tiefen Gräben andeutende Ovale 9 gezeigt sind.

Eine früher eingereichte und noch nicht veröffentlichte Patentanmeldung der Anmelderin (Anwaltsakte 12223; amtliches Aktenzeichen 102 54 160.4) beschreibt eine neuartige Struktur eines Transistorarrays die zufrieden stellende Wortleitungskontakte und damit verbundene Wortleitungen so realisiert, dass jeder Wortleitungskontakt nur mit der Wortleitung, das heißt mit dem Gate des in dem aktiven Steg gebildeten vertikalen FETs Kontakt hat und von anderen Bereichen und Elementen des Transistorarrays bzw. den Halbleiterspeicherzellen isoliert ist, wobei die vorliegende Patentanmeldung die Struktur des in der vorigen Patentanmeldung beschriebenen Transistorarrays und der Wortleitungskontakte verwendet und deshalb darauf Bezug nimmt.

Fig. 3 zeigt in Form einer schematischen Aufsicht eine erste Ausführungsform einer erfindungsgemäßen integrierten Schaltungsanordnung, in der eine Arrayprozessdiagnose-Teststruktur integriert ist. Mit der Bezugszahl 11 ist ein Array aus (nicht gezeigten) vertikalen FET-Auswahltransistoren angedeutet, dem ein gleichfalls nicht gezeigtes Speicherzellenarray zugeordnet ist. An beiden Seiten aktiver Stege 12₁ - 12_k

verlaufen, wie erwähnt, als Gateelektrodenstreifen gebildete Wortleitungen (WL) $13_1 - 13_k$. Senkrecht zu den Wortleitung 13 verlaufen parallele Bitleitungen $14_1 - 14_m$, die aus Streifen der Metallebenen M0 bestehen.

5

Außerhalb des Transistorarrays 11 an der oberen Seite desselben ist ein erster Wortleitungskamm (WL-Kamm) 20 gebildet, welcher durch Leiterabschnitte einer Metallebene (Metallebene M0) und zuvor geschilderte Wortleitungskontakte (WL-Kontakte) $15_1 - 15_{k-1}$ mit jeder zweiten Wortleitung 13 in Kontakt gebracht ist. Gleichermaßen ist an der unteren Seite, außerhalb des Transistorarrays 11 ein zweiter Wortleitungskamm 21 gegenüber dem ersten Wortleitungskamm 20 um einen Wortleitungsabstand versetzt vorgesehen und ebenfalls durch Leiterabschnitte der Metallebene M0 und Wortleitungskontakte $15_2 - 15_k$ mit den restlichen Wortleitungen $13_2 - 13_k$ verbunden. Die durch den ersten und zweiten Wortleitungskamm 20 und 21 nicht verbundenen Enden der Wortleitungen 13 hängen in der Luft, das heißt sie bleiben dort unverbunden.

20

Die auf diese Weise mit jeder übernächsten Wortleitung verbundenen und gegeneinander versetzten ersten und zweiten Wortleitungskämme 20 und 21 ermöglichen eine Kapazitätsmessung der Wortleitungskämme 20 und 21 zueinander und auch der Wortleitungskämme 20, 21 zu anderen Ebenen oder Strukturen der integrierten Schaltungsanordnung.

25

Die senkrecht zu den Wortleitungen 13 laufenden Bitleitungen 14 sind durch Leiterstreifen der Metallebene M0 gebildet. In ähnlicher Weise wie die beiden WL-Kämme 20 und 21 sind gemäß Fig. 3 ein erster und zweiter Bitleitungskamm 30 und 31 rechts und links von den äußeren Seiten des Transistorarrays 11 her zueinander versetzt so vorgesehen, dass jeder Bitleitungskamm 30 und 31 jede übernächste Bitleitung BL 14 miteinander verbindet. Die Kontaktierung der Bitleitungskämme 30 und 31 mit den jeweils mit ihnen verbundenen Bitleitungen 14

30

35

geschieht ebenfalls über Leiterabschnitte der Metallebene M0. Die zuletzt erwähnten beiden Bitleitungskämme 30 und 31 ermöglichen zum einen eine Kapazitätsmessung zwischen den Bitleitungskämmen 30, 31 und eine Messung der Kapazität der Bitleitungskämme 30, 31 zu anderen Strukturen der integrierten Schaltungsanordnung und in Verbindung mit den Wortleitungskämmen 20 und 21 auch eine Kapazitätsmessung zwischen Bitleitungen 14 und Wortleitungen 13. In Fig. 3 umgrenzt eine mit A bezeichnete strichpunktierte Linie einen Abschnitt des Transistorarrays 11, in dem Kontakte 17 (so genannte CB-Kontakte) zur jeweiligen Bitleitung angedeutet sind, deren Struktur und Funktion später anhand der Fig. 5 beschrieben werden.

Die in Fig. 4 gezeigte schematische Aufsicht stellt eine zweite Ausführungsform der erfindungsgemäßen integrierten Schaltungsanordnung mit einer weiterentwickelten Arrayprozessdiagnose-Teststruktur dar, die außer Kapazitätsmessungen zwischen Wortleitungen und Bitleitungen und zu anderen Schaltungsstrukturen auch eine Diagnose von Gateoxid, z. B. wenn Kurzschlüsse durch zerstörtes Gateoxid vorkommen und auch von ungewollt offenen Verbindungen, außerdem auch Zuverlässigkeitstests, insbesondere der Zuverlässigkeit des Gateoxids und des Dielektrikums der Speicherkondensatoren und eine Diagnose der grundsätzlichen Eignung des zugrunde liegenden neuen Prozesses durch Erfassung einer Fehlerdichte gestattet.

Gemäß Fig. 4 ist innerhalb eines oberen und unteren Wortleitungskamms 20, 21, die zueinander versetzt angeordnet und jeweils mit unterschiedlichen Wortleitungen (WL) 13 verbunden sind, zusätzlich ein Wortleitungsmäander 25 eingebracht, der diejenigen Wortleitungen miteinander seriell verbindet, die durch die beiden Wortleitungskämme 20 und 21 nicht miteinander verbunden sind. Zur Bildung des Wortleitungsmäanders 25 sind oben und unten U-förmige Abschnitte 24 der Metallebene

M0 durch Wortleitungskontakte $15_2 - 15_{k-1}$ mit den jeweiligen Wortleitungen 13 verbunden.

Fig. 4 zeigt, dass der erste (obere) Wortleitungskamm 20 die erste, fünfte, neunte, dreizehnte, ... usw. Wortleitung 13 und der zweite (untere) Wortleitungskamm 21 die dritte, siebte, elfte, ... usw. Wortleitung 13 miteinander verbindet und dass der Wortleitungsmäander 25 die zweite, vierte, sechste, achte, zehnte, zwölfte, ... usw. Wortleitung seriell koppelt. Alle diese Verbindungen führen ausgehend von einer Wortleitung 13 über einen Wortleitungskontakt 15, einen Abschnitt der Metallebene M0 und einen weiteren Wortleitungskontakt 15 zu einer weiteren Wortleitung 13.

Innerhalb der Bitleitungskämme 30 und 31 ist außerdem ein Bitleitungsmäander 35 vorgesehen. Der erste Bitleitungskamm 30 verbindet die erste, fünfte, neunte und dreizehnte Bitleitung 14 und der zweite Bitleitungskamm 31 die dritte, siebte, elfte usw. Bitleitung 14, während der Bitleitungsmäander 35 die zweite, vierte, sechste, achte, zehnte, zwölfte, ... Bitleitung 14 seriell verbindet.

In Fig. 4 ist, wie in Fig. 3, ebenfalls ein Detailabschnitt mit A bezeichnet, der Kontakte zur Bitleitung (so genannte CB-Kontakte) 17 enthält, deren Aufbau und Funktion nachstehend anhand der Fig. 5 beschrieben wird. Selbstverständlich können auch die anderen Abschnitte des Transistorarrays 11 derartige CB-Kontakte 17 enthalten, die jedoch zur Vereinfachung in Fig. 4 nicht eingezeichnet sind.

Der in Fig. 5 als schematische Aufsicht dargestellte Abschnitt A des Transistorarrays 11 zeigt einige parallele aktive Stege 12 (Wortleitungen sind hier weggelassen) und die AT-Stege 12 rechtwinklig schneidende Bitleitungen 14. In Richtung der Bitleitungen 14 sind Drainkontakte bildende vergrabene Kontaktstreifen 18 vorgesehen, die beispielsweise

jeweils zwei benachbarte Bitleitungen 14 überlappen. Der vergrabene Drainkontaktstreifen 18 dient an jedem Ort der in den tiefen Gräben gebildeten Speicherkondensatoren, an dem eine Kontaktierung von Halbleiterspeicherzellen (in Fig. 5 nicht gezeigt) zuerst mit einem vertikalen FET und in zweiter Linie mit einem CB-Kontakt 17 zur Bitleitung gewünscht ist, dazu, im Prozess einen Anschluss zum aktiven Steg 12 herzustellen. Der vergrabene Drainkontaktstreifen 18 ist dort gebildet, wo sich die Layoutbereiche des tiefen Grabens und des aktiven Stegs 12 überschneiden. Die einfachste und beste Lösung zur Bildung des vergrabenen Drainkontaktstreifens 18 ist eine Linienmaske senkrecht zu den Wortleitungen. Dieser vergrabene Kontaktstreifen 18 plus aktiver Steg 12 plus die oben auf dem aktiven Steg 12 liegende Sourceelektrode plus die Wortleitung als Gate bilden einen Transistor zu dem der vergrabene Kontaktstreifen 18 eine Maske ist. Dieser Transistor muss geöffnet werden, um zum Beispiel das dünne Gateoxid auf Zuverlässigkeit testen zu können. Mit der Bezugszahl 40 bezeichnete Bereiche deuten in Fig. 5 zwei derartige mit Hilfe zweier nebeneinander liegender vergrabener Streifen 18 hergestellte Transistoren an.

Die oben beschriebene integrierte Schaltungsanordnung in der erfindungsgemäß eine Arrayprozessdiagnose-Teststruktur integriert ist, befindet sich auf dem Halbleiterwafer z. B. zwischen den herzustellenden Chips. Zum Beispiel kann eine derartige integrierte Schaltungsanordnung für jeweils sechs Chips vorgesehen sein.

Patentansprüche

1. Integrierte Schaltungsanordnung mit einem Transistorarray (11) aus vertikalen FET-Auswahltransistoren, die in die Tiefe eines Substrats hinein in Form in Lateralrichtung der Schaltungsanordnung parallel laufender, als vertikale Gräben implementierter aktiver Stege ($12_1 - 12_k$) gebildet sind, wobei für ein dem Transistorarray (11) zugeordnetes Array aus Halbleiterspeicherzellen Speicherkondensatoren in tiefen Gräben an den Stirnseiten der die vertikalen FET-Transistoren bildenden Abschnitte der aktiven Stege ($12_1 - 12_k$) gebildet und Wortleitungen ($13_1 - 13_k$) entlang den Stegen und diese schneidende parallele Bitleitungen ($14_1 - 14_m$) angeordnet sind,

g e k e n n z e i c h n e t durch eine Arrayprozessdiagnose-Teststruktur, die wenigstens aufweist:

- einen ersten und zweiten Wortleitungskamm (20, 21), die abwechselnd jeweils unterschiedliche Wortleitungen (13) miteinander verbinden und in Lateralrichtung an zwei äußeren Seiten des Transistorarrays (11) einander gegenüberliegend und gegeneinander seitlich versetzt so angeordnet sind, dass sie von den beiden Seiten her jeweils jede n-te Wortleitung (13) parallel verbinden, wobei die jeweils entgegengesetzten Enden der Wortleitungen (13) nicht verbunden sind und jeder Wortleitungskamm (20, 21) gebildet ist, indem die durch ihn zusammengeschlossenen Wortleitungen jeweils mittels eines Wortleitungskontakts ($15_1 - 15_k$), der mit dem der jeweiligen Wortleitung zugeordneten aktiven Steg ($12_1 - 12_k$) verbunden, jedoch gegenüber anderen Elementen der integrierten Schaltungsanordnung isoliert ist und durch einen jeweiligen eine Verbindung zwischen den Wortleitungskontakten herstellenden Abschnitt der Metallebene (M0) gemeinsam verbunden sind, und

- einen ersten und zweiten Bitleitungskamm (30, 31), die zur abwechselnden Verbindung jeweils unterschiedlicher Bitlei-

tungen miteinander in Lateralrichtung an den zwei anderen äußeren Seiten des Transistorarrays (11) einander gegenüberliegend und seitlich gegeneinander versetzt so angeordnet sind, dass sie von den zwei anderen Seiten her jeweils jede m-te Bitleitung durch einen Abschnitt der Metallebene (M0) miteinander verbinden.

2. Integrierte Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, dass n gleich 2 ist und der gegenseitige Versatz der Wortleitungskämme (20, 21) eine Wortleitung beträgt.

3. Integrierte Schaltungsanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass m gleich 2 ist und der gegenseitige Versatz der Bitleitungskämme (30, 31) eine Bitleitung beträgt.

4. Integrierte Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, dass n gleich 4 ist und der gegenseitige Versatz der Wortleitungskämme (20, 21) zwei Wortleitungen beträgt, wobei der erste Wortleitungskamm (20) die erste, fünfte, neunte, dreizehnte, ... usw. Wortleitung (13) verbindet und der zweite Wortleitungskamm (21) die dritte, siebte, elfte, ... usw. Wortleitung (13) verbindet, und dass außerdem innerhalb der beiden Wortleitungskämme (20, 21) ein Wortleitungsmäander (24) vorgesehen ist, der alle zwischen den durch die Wortleitungskämme (20, 21) verbundenen Wortleitungen liegenden Wortleitungen (13), getrennt von den durch die beiden Wortleitungskämme (20, 21) verbundenen Wortleitungen (13) seriell miteinander verbindet, und jede mäandrierende Verbindung dieser anderen Wortleitungen durch die genannten Wortleitungskontakte (15) und durch jeweils zwischen zwei benachbarten Wortleitungskontakten geführte U-förmige Abschnitte (24) der Metallebene (M0) hergestellt ist.

5. Integrierte Schaltungsanordnung nach Anspruch 4,
d a d u r c h g e k e n n z e i c h n e t ,
dass m gleich 4 ist und der gegenseitige Versatz der Bitlei-
tungskämme (30, 31) zwei Bitleitungen beträgt, wobei der
5 erste Bitleitungskamm (30) die erste, fünfte, neunte, drei-
zehnte, ... usw. Bitleitung (14) verbindet und der zweite
Bitleitungskamm (31) die dritte, siebte, elfte, ... usw.
Bitleitung (14) verbindet und dass außerdem innerhalb der
Bitleitungskämme (30, 31) ein Bitleitungsmäander (35) vorge-
10 sehen ist, der alle anderen durch die beiden Bitleitungskämme
(30, 31) nicht miteinander verbundenen, dazwischen liegenden
Bitleitungen (14), getrennt von den durch die beiden Bitlei-
tungskämme (30, 31) verbunden Bitleitungen (14) seriell mit-
einander verbindet.

15 6. Integrierte Schaltungsanordnung nach einem der Ansprüche 1
bis 5,

d a d u r c h g e k e n n z e i c h n e t ,
dass zur Kontaktierung der in den tiefen Gräben gebildeten
20 Speicherkondensatoren mit dem zugeordneten vertikalen FET-
Transistor und zur Kontaktierung gewünschter Halbleiterspei-
cherzellen mit einer jeweiligen Bitleitung (14) ein vergrabe-
ner Drainkontaktstreifen (18) parallel zur Richtung der Bit-
leitungen (14) dort gebildet ist, wo sich die Layoutbereiche
25 des tiefen Grabens und des aktiven Stegs (12) überschneiden.

Zusammenfassung

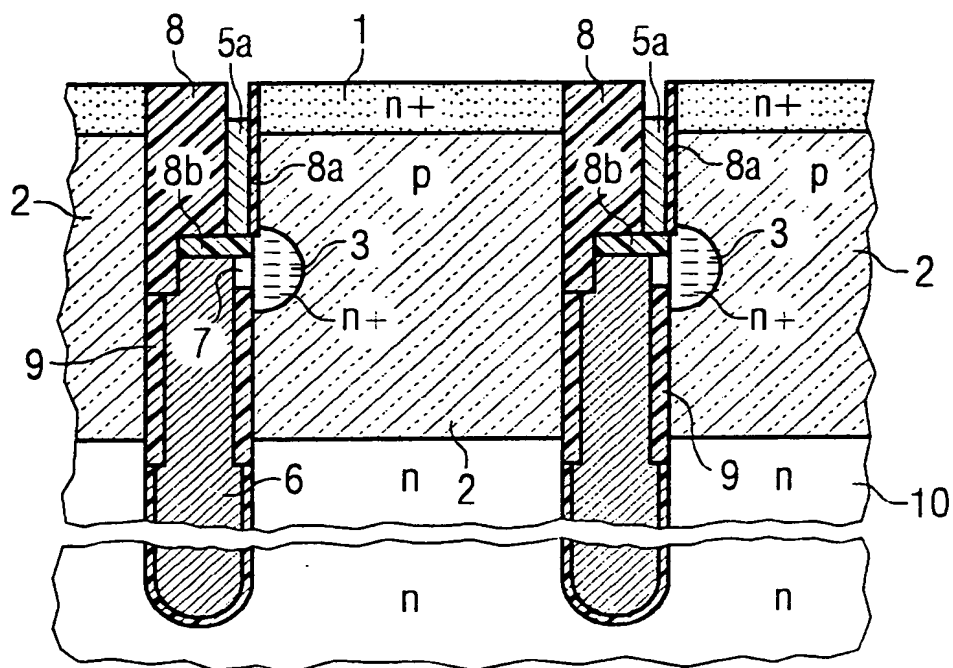
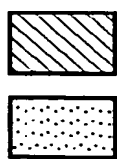
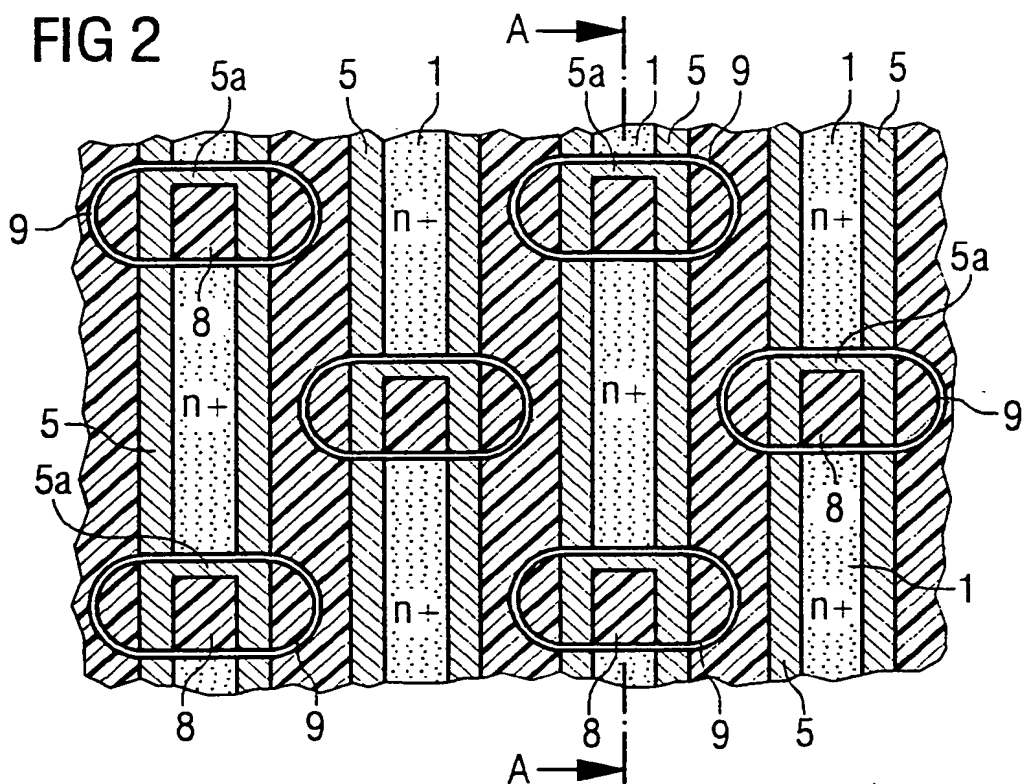
Integrierte Schaltungsanordnung

5 In einer integrierten Schaltungsanordnung mit einem Transistorarray (11) aus vertikalen FET-Auswahltransistoren, die in die Tiefe eines Substrats hinein in Form in Lateralrichtung der Schaltungsanordnung parallel laufender, als vertikale Gräben implementierter aktiver Stege ($12_1 - 12_k$) gebildet sind, wobei für ein dem Transistorarray (11) zugeordnetes Array aus Halbleiterspeicherzellen Speicherkondensatoren in tiefen Gräben an den Stirnseiten der die vertikalen FET-Transistoren bildenden Abschnitte der aktiven Stege ($12_1 - 12_k$) und Wortleitungen ($13_1 - 13_k$) entlang den Stegen und
10 diese schneidende parallel laufende Bitleitungen ($14_1 - 14_m$) angeordnet sind, ist eine Arrayprozessdiagnose-Teststruktur integriert, welche außerhalb und an zwei gegenüberliegenden Seiten des Transistorarrays (11) zumindest einen ersten und zweiten Wortleitungskamm (20, 21), die abwechselnd und versetzt mit unterschiedlichen Wortleitungen (13) verbunden sind und an den beiden anderen gegenüberliegenden Seiten des Transistorarrays (11) einen ersten und zweiten Bitleitungskamm (30, 31) aufweist, die gegeneinander versetzt mit jeweils unterschiedlichen Bitleitungen (14) verbunden sind. Eine
15 derartige Arrayprozessdiagnose-Teststruktur gestattet Zuverlässigkeitsuntersuchungen am Gateoxid der vertikalen FET-Transistoren und am Kondensatordielektrikum in den tiefen Gräben, Kapazitätsmessungen der Wortleitungen untereinander und der Wortleitungen relativ zu anderen Schaltungsschichten
20 sowie Kapazitätsmessungen der Bitleitungen untereinander und der Bitleitungen relativ zu anderen Schaltungsschichten und damit eine Aussage über mögliche Fehlerquellen beim Herstellungsprozess.

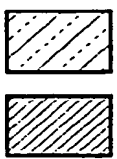
35 (Fig. 3)

Bezugszeichenliste

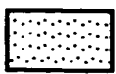
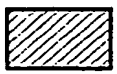
| | |
|--------------|--|
| 1 | Drainelektrode |
| 2 | Kanalzone |
| 3 | Sourceelektrode |
| 4 | Bulk |
| 5, 5A | Gateelektrodenstreifen |
| 6 | Polysiliziumsäule |
| 7 | Kontaktierung der Sourceelektrode mit der Polysiliziumsäule |
| 8, 8A, 8B, 9 | Isolation/Dielektrikum |
| 10 | Substrat |
| 11 | FET-Transistorarray |
| 12 | AT-Streifen |
| 13 | Wortleitungen |
| 14 | Bitleitungen |
| 15 | Wortleitungskontakte |
| 17 | Kontakte zur Bitleitung (CB) |
| 18 | vergrabener Drainkontaktstreifen |
| 20, 21 | erster, zweiter Wortleitungskamm |
| 24 | Metall M0 |
| 25 | Wortleitungsmäander |
| 30, 31 | erster und zweiter Bitleitungskamm |
| 35 | Bitleitungsmäander |
| 40 | durch vergrabenen Drainkontaktstreifen 18 gebildeter Transistor |

FIG 1 Schnitt A-A**FIG 2**

Gate



p (Kanalbereich)

Isolation/
DielektrikumStege (AT)
(Source-Bereich)Poly-Si/
Wolfram/WL

Drain-Bereich

FIG 3

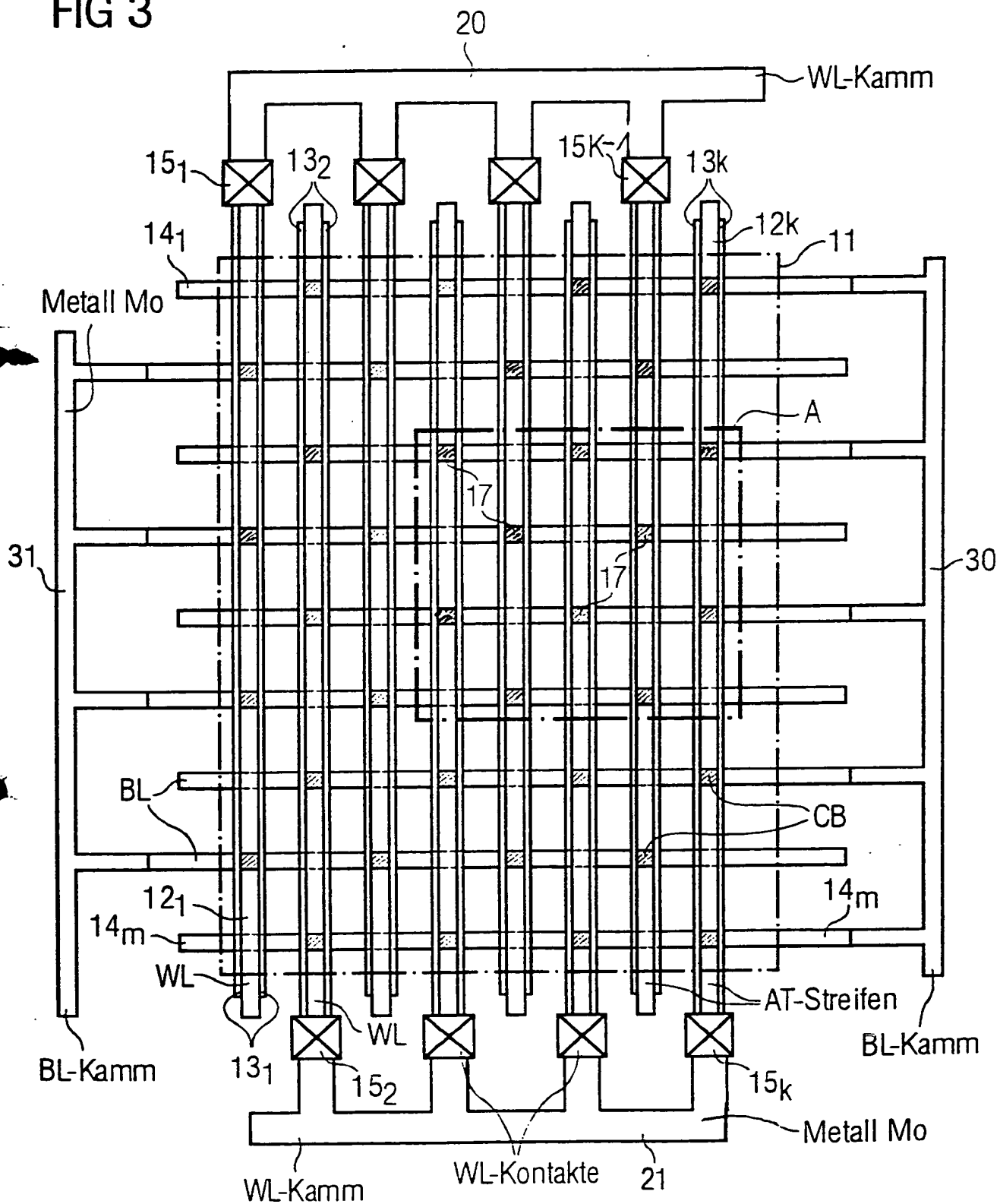


FIG 4

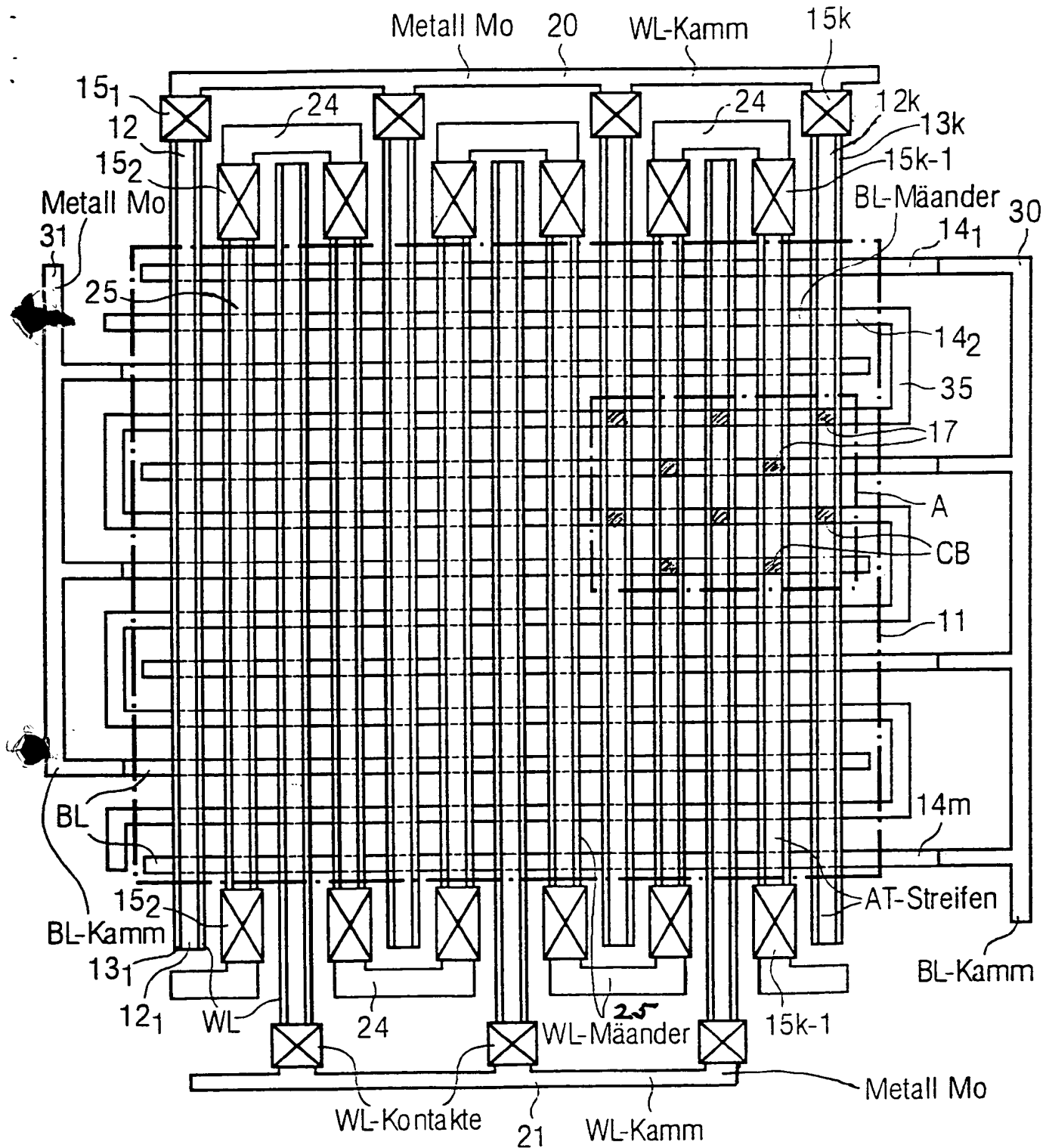
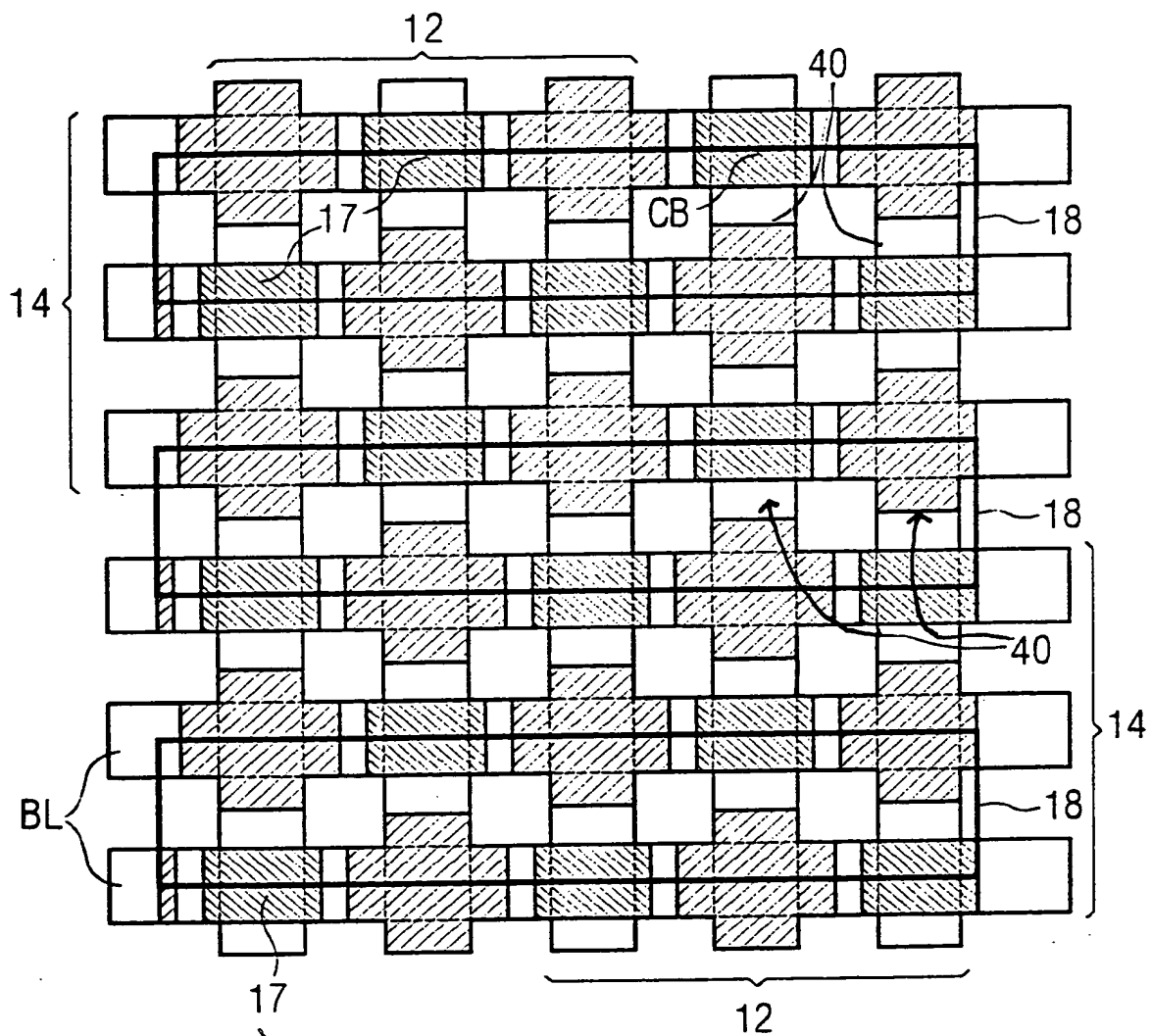


FIG 5 Detail A



Figur für die Zusammenfassung

